

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-268155

(43)公開日 平成6年(1994)9月22日

(51)Int.Cl.⁵

H 0 1 L 27/04

識別記号

C 8427-4M

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数 6 O L (全 6 頁)

(21)出願番号 特願平5-54104

(22)出願日 平成5年(1993)3月15日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 荒木 新一

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

(74)代理人 弁理士 山口 邦夫 (外1名)

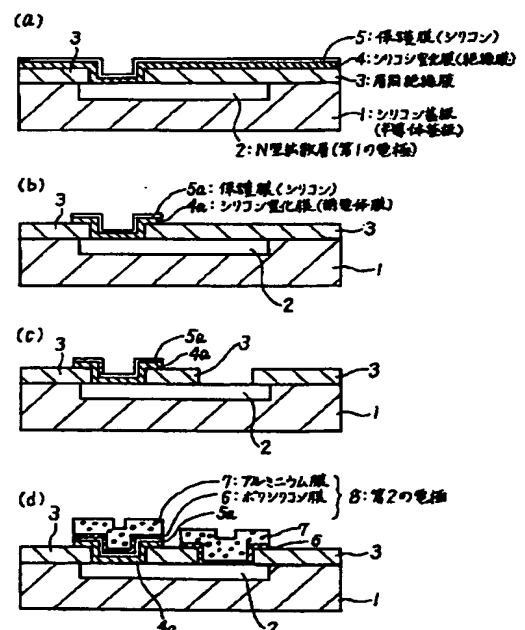
(54)【発明の名称】 半導体装置の絶縁膜保護方法及び容量素子の製造方法

(57)【要約】

・【目的】容量素子等の絶縁膜の膜厚が目減りしないように絶縁膜を保護する方法および高精度な容量素子の製造方法を提供する。

・【構成】半導体基板1に第1の電極2を形成する工程と、上記半導体基板1上に層間絶縁膜3を成膜する工程と、上記層間絶縁膜3にコンタクトホールを開口する工程と、上記層間絶縁膜3上に絶縁膜4を成膜した後、後工程における処理による上記絶縁膜4のエッチングを防止するため、上記絶縁膜4上に保護膜5を成膜する工程と、上記保護膜5と絶縁膜4をパターニングし上記誘電体膜4aを形成する工程と、上記保護膜4a上に第2の電極8を形成する。

第1実施例によるMSNS等量製造工程断面図



BEST AVAILABLE COPY

入力済

1

・【特許請求の範囲】

・【請求項1】 半導体基板上に絶縁膜を成膜した後、後工程における処理による前記絶縁膜のエッチングを防止するため、前記絶縁膜上に保護膜を連続的に成膜することを特徴とする半導体装置の絶縁膜保護方法。

・【請求項2】 第1の電極と第2の電極と誘電体膜を有する容量素子の製造方法において、

半導体基板上に前記第1の電極を形成する工程と、

前記半導体基板上に層間絶縁膜を成膜する工程と、

前記層間絶縁膜にコンタクトホールを開口する工程と、

前記層間絶縁膜上に絶縁膜を成膜した後、後工程における処理による前記絶縁膜のエッチングを防止するため、

前記絶縁膜上に保護膜を連続的に成膜する工程と、

前記保護膜と絶縁膜をパターンニングし前記誘電体膜を形成する工程と、

前記保護膜上に前記第2の電極を形成する工程とを、

含むことを特徴とする容量素子の製造方法。

・【請求項3】 前記絶縁膜がシリコン窒化膜であり、前記保護膜がシリコン膜であることを特徴とする請求項2記載の容量素子の製造方法。

・【請求項4】 前記絶縁膜が SiH_2Cl_2 と NH_3 と H_2 とを原料ガスとして成膜されたシリコン窒化膜であることを特徴とする請求項3記載の容量素子の製造方法。

・【請求項5】 前記絶縁膜がシリコン酸化膜であり、前記保護膜がシリコン膜であることを特徴とする請求項2記載の容量素子の製造方法。

・【請求項6】 前記絶縁膜が SiH_4 と N_2O とを原料ガスとして成膜されたシリコン酸化膜であり、前記保護膜が SiH_4 を原料ガスとして成膜されたシリコン膜であることを特徴とする請求項5記載の容量素子の製造方法。

・【発明の詳細な説明】

・【0001】

・【産業上の利用分野】 本発明は、半導体装置の絶縁膜保護方法および容量素子の製造方法に係り、特に容量素子の誘電体膜を保護し高精度な容量素子の製造方法に関するものである。

・【0002】

・【従来の技術】 半導体装置における容量素子は、酸化膜・(Oxide) あるいはシリコン窒化膜 (Nitride) 等の導電材料からなる誘電体膜を挟んでシリコンあるいはアルミニウム合金等の誘電材料からなる電極から構成される。この容量素子は、例えばMSNS (Metal Silicon Nitride Silicon) あるいはMSOS (Metal Silicon Oxide Silicon) 等の構造を有する。

・【0003】 図3および図4は従来例によるMSNS容量製造工程断面図である。以下、この製造工程を説明する。

・【0004】 まず図3 (a) に示すように、シリコン基板1にN型拡散層2を形成する。次にCVD (化学気相

2

成長) 法により層間絶縁膜3を形成し、その後リソグラフィおよびRIE (反応性イオンエッチング) によりMSNS容量を形成する領域にコンタクトホールを開口する。次にCVD法により全面にシリコン窒化膜114を形成する。

・【0005】 次にMSNS容量の誘電体膜を形成するため、まず硫酸過水およびフッ酸等を含む水溶液 (以下、表面洗浄液と呼ぶ) に浸漬し表面洗浄を行い、乾燥した後、図3 (b) に示すようにリソグラフィによりレジストパターン115を形成する。次に、図3 (c) に示すように、レジストパターン115をマスクとしてRIEによりシリコン窒化膜114をパターンニングし誘電体膜114aを形成する。次に図3 (d) に示すように、レジストパターン115を剥離除去する。

・【0006】 次に、表面洗浄液に浸漬し表面洗浄を行い、乾燥した後、リソグラフィによりレジストパターン (図示せず) を形成し、図4 (a) に示すようにこのレジストパターンをマスクとしてRIEにより層間絶縁膜3にコンタクトホールを開口する。次にレジストパターンを剥離除去する。次に、表面洗浄液に浸漬し表面洗浄を行う。

・【0007】 次にCVD法によりバリアメタルとしてポリシリコン膜116を形成し、その後スパッタ法によりアルミニウム膜117を形成する。次にリソグラフィおよびRIEによりアルミニウム膜117およびポリシリコン膜116をパターンニングする。以上の工程を経て図4 (b) に示すようにアルミニウム膜117 (Metal) /ポリシリコン膜116 (Silicon) /シリコン窒化膜114a (Nitride) /N型拡散層2 (Silicon) からなるMSNS容量が製造される。

・【0008】

・【発明が解決しようとする課題】 上述したように、従来の方法では図3 (c) に示したレジストパターン115を形成する前処理と、図4 (a) に示したコンタクトホールを開口するためレジストパターンを形成する前処理と、コンタクトホールを開口後の後処理において硫酸過水およびフッ酸を含む水溶液により表面洗浄を行うが、この時シリコン窒化膜114または114aの表面が露出しており、この表面洗浄の際にシリコン窒化膜114または114aの表面の一部が硫酸過水およびフッ酸によりエッチングされてしまう。

・【0009】 しかし容量はシリコン窒化膜114aとN型拡散層2との接触面積とシリコン窒化膜114aの膜厚により決まるので、シリコン窒化膜114aの一部がエッチングされて膜厚にバラツキが生じると、容量にバラツキが生じてしまい半導体装置の特性上問題となる。

・【0010】 そこで本発明は、容量素子等の絶縁膜の膜厚が目減りしないように絶縁膜を保護する方法および高精度な容量素子の製造方法を提供することを目的とする。

50

3

・【0011】

・【課題を解決するための手段】上記課題は本発明によれば、半導体基板上に絶縁膜を成膜した後、後工程における処理による前記絶縁膜のエッチングを防止するため、前記絶縁膜上に保護膜を連続的に成膜することを特徴とする半導体装置の絶縁膜保護方法によって解決される。

・【0012】また上記課題は本発明によれば、第1の電極と第2の電極と誘電体膜を有する容量素子の製造方法において、半導体基板上に前記第1の電極を形成する工程と、前記半導体基板上に層間絶縁膜を成膜する工程と、前記層間絶縁膜にコンタクトホールを開く工程と、前記層間絶縁膜上に絶縁膜を成膜した後、後工程における処理による前記絶縁膜のエッチングを防止するため、前記絶縁膜上に保護膜を連続的に成膜する工程と、前記保護膜と絶縁膜をパターンニングし前記誘電体膜を形成する工程と、前記保護膜上に前記第2の電極を形成する工程とを、含むことを特徴とする容量素子の製造方法によって解決される。

・【0013】

・【作用】本発明によれば、図1(a)に示すように半導体基板1上に絶縁膜4を成膜した後、保護膜5を連続的に成膜するので、以降の工程において絶縁膜4が保護膜5により被膜保護された状態で処理されて、絶縁膜4が例えば表面洗浄の際にエッチングされることがない。また図1(b)に示すように容量素子の第1の電極2を形成した後、容量素子の誘電体膜4aを保護膜5aにより被膜保護するので、誘電体膜4aの膜厚が安定して高精度な容量素子を実現することができる。

・【0014】また保護膜5aがシリコン膜である時、特にシリコン膜は表面洗浄等でエッチングされ難いので保護膜として好適であり、しかも容量素子の第2の電極8を形成する際、このシリコン膜が電極材料と合金反応して第2の電極8の一部となる。

・【0015】また誘電体膜4aが SiH_2Cl_2 と NH_3 とを原料ガスとして成膜された Si_3N_4 である時、誘電体膜4a内部および表面にClが付着し誘電体膜4aの特性のバラツキの原因となるが、 H_2 を添加することによりClと H_2 とを反応させて HCl として放出させて誘電体膜4aの膜質を安定化させることができる。

・【0016】また誘電体膜4aが SiH_4 と N_2O とを原料ガスとして成膜されたシリコン酸化膜であり、保護膜5aが SiH_4 を原料ガスとして成膜されたシリコン膜である時、誘電体膜4aと保護膜5aを同じ炉内で成膜することができる。

・【0017】

・【実施例】以下、本発明の実施例を図面に基づいて説明する。

・【0018】図1は本発明に係るMSNS容量製造方法を示す第1実施例による工程断面図である。まず、図1(a)に示すようにイオン注入法によりヒ素(As)を

4

選択的にシリコン基板1に導入し、熱処理を行ってN型拡散層2を形成する。次にCVD法により全面に層間絶縁膜3を形成する。

・【0019】次に表面洗浄液に浸漬し表面洗浄を行い、リソグラフィーおよびRIEにより容量を形成する領域に例えば開口面積 $357114\mu\text{m}^2$ でコンタクトホールを開く。次に SiH_2Cl_2 (ジクロロシラン)と NH_3 を原料ガスとして、 $750\sim 780^\circ\text{C}$ の温度で減圧CVD法により厚さ 50nm のシリコン窒化膜4 (Si_3N_4)を成膜する。次に、 SiH_4 (シラン)を原料ガスとして、 $500\sim 650^\circ\text{C}$ の温度で減圧CVD法により例えば厚さ 2nm のポリシリコンまたはアモルファスシリコンからなる保護膜5を連続的に成膜する。なお、この保護膜5の厚さは後で形成する第2の電極形成時に合金反応によりこの電極の一部となるような厚さであれば良い。

・【0020】次に表面洗浄を行う。この時、シリコン窒化膜4が保護膜5により被膜保護され、しかもシリコンは表面洗浄に使用するフッ酸および硫酸過水にエッチングされ難いので、シリコン窒化膜4の膜厚が目減りすることがない。リソグラフィーにより上述したコンタクトホールを含む所定の領域にレジストパターン (図示せず)を形成し、このレジストパターンをマスクとしてRIEにより保護膜5、シリコン窒化膜4をパターンニングする。次にレジストパターンを剥離除去すると、図1(b)に示すように保護膜5aにより被膜保護されたシリコン窒化膜4aからなる誘電体膜が形成される。

・【0021】次に表面洗浄し、リソグラフィーにより容量の取り出し電極を形成する以外の領域にレジストパターンを形成し、このレジストパターンをマスクとしてRIEにより図1(c)に示すように、コンタクトホールを開口し、このレジストパターンを剥離除去する。

・【0022】次に SiH_4 を原料ガスとして、図1(d)に示すように減圧CVD法により厚さ 30nm のポリシリコン膜6をバリアメタル層として形成する。その後、アルミニウムをターゲットとしてスパッタ法により厚さ 1100nm のアルミニウム膜7を形成する。この時アルミニウムがポリシリコン膜6および保護膜5aと反応し、 Al-Si 合金膜となり、ポリシリコン膜6および保護膜5aが電極の一部となる。

・【0023】次に表面洗浄し、リソグラフィーおよびRIEによりアルミニウム膜7およびポリシリコン膜をパターンニングする。以上の工程を経て、図1(d)に示すようにアルミニウム膜7 (Metal) / ポリシリコン膜6、保護膜5a (Silicon) / シリコン窒化膜4a (Nitride) / N型拡散層2 (Silicon) からなるMSNS容量が形成される。この実施例では電極開口部 $357114\mu\text{m}^2$ 、シリコン窒化膜4aからなる厚さ 50nm の誘電体膜、容量値 456.1PF のMSNS容量が得られる。しかも誘電体膜4aの膜厚が目減りがないので容

5

量素子を高精度に製造することができる。

・【0024】また図1(a)に示したシリコン窒化膜4を形成する際、 H_2 ガスを添加することにより、シリコン窒化膜4の内部および表面に付着するClをHClとして放出するので誘電体膜の誘電率を一定にし、容量のバラツキを減少させることができる。

・【0025】図2は本発明に係るMSNS容量製造方法を示す第2実施例による工程断面図である。本第2実施例は容量の第1の電極をシリコン基板上に形成した場合である。

・【0026】まず、図2(a)に示すようにCVD法によりシリコン基板1上に層間絶縁膜10を形成する。次に、 SiH_4 と $POCl_3$ を原料ガスとして、減圧CVD法によりN型にドーパされたポリシリコン膜11を形成する。次に表面洗浄し、リソグラフィーおよびRIEによりポリシリコン膜11をパターニングし第1の電極11を形成する。次にCVD法により層間絶縁膜12を形成し、表面洗浄後、リソグラフィーおよびRIEにより容量形成領域に例えば開口面積 $357114\mu m^2$ でコンタクトホールを開口する。次にCVD法により第1実施例と同じ条件で厚さ50nmのシリコン窒化膜13およびポリシリコンまたはアモルファスシリコンからなる厚さ2nmの保護膜14を形成する。

・【0027】次に表面洗浄を行う。この時、シリコン窒化膜13が保護膜14により被膜保護されているのでシリコン窒化膜13の膜厚が目減りすることがない。次に図2(b)に示すようにリソグラフィーおよびRIEにより保護膜14およびシリコン窒化膜13をパターニングし、保護膜14aにより被膜保護されたシリコン窒化膜13aが形成する。

・【0028】次に図2(c)に示すように、リソグラフィーおよびRIEによりコンタクトホールを開口し、第1実施例に示したと同様にしてポリシリコン膜15、アルミニウム膜16を順次成膜する。次にリソグラフィーおよびRIEによりアルミニウム膜16およびポリシリコン膜15をパターニングし、第2の電極17を形成する。以上の工程を経て、アルミニウム膜16(Metal)／ポリシリコン膜15、保護膜14a(Silicon)／シリコン窒化膜13a(Nitride)／ポリシリコン膜15(Silicon)からなるMSNS容量が形成される。第1実施例と同様に容量値456.1PFのMSNS容量が得られる。

・【0029】以上は、MSNS容量素子について説明したが、MSOS容量素子についても適用可能であり、この場合の誘電体膜は以下の方法により形成することができる。

・【0030】 SiH_4 および N_2O を原料ガスとして、減圧CVD法により $800^\circ C$ の温度で SiO_2 膜(Oxide)を成膜する。次に、 SiH_4 を原料として減圧CVD法により $800^\circ C$ の温度で多結晶シリコンからなる

6

保護膜を同一の減圧CVD装置により連続的に成膜し、 SiO_2 膜を保護膜により被膜保護すると同時に汚染から防止する。

・【0031】あるいは、 O_2 を原料ガスとして熱酸化法により SiO_2 膜を形成し、その後 SiH_4 を原料ガスとして減圧CVD法により $500\sim 650^\circ C$ の温度で多結晶シリコンあるいはアモルファスシリコンからなる保護膜を成膜する。

・【0032】以上のように SiO_2 膜および保護膜を形成した後、第1および第2実施例に示したと同様にしてポリシリコン膜、アルミニウム膜の成膜およびパターニングによりMSOS容量素子を製造することができる。

・【0033】また、本発明は容量素子の誘電体膜に限らず、高精度な絶縁膜の膜厚を必要とする半導体装置に勿論適用可能である。

・【0034】

・【発明の効果】以上説明したように、本発明によれば絶縁膜を保護した状態で後工程処理を行うので、絶縁膜の膜厚を目減りさせることなく安定した特性を有する半導体装置を製造することができ、特に容量素子に用いることにより、安定した容量をもつ容量素子を製造することができる。また絶縁膜としてのシリコン窒化膜を形成した後、このシリコン窒化膜を被膜保護するための保護膜を形成する時、水素ガスを添加することによりシリコン窒化膜表面上の塩素をとり除くことができ、絶縁膜の特性の劣化を抑制することができる。

・【図面の簡単な説明】

・【図1】第1実施例によるMSNS容量製造工程断面図である。

・【図2】第2実施例によるMSNS容量製造工程断面図である。

・【図3】従来例によるMSNS容量製造工程断面図

・(I)である。

・【図4】従来例によるMSNS容量製造工程断面図(I)である。

・【符号の説明】

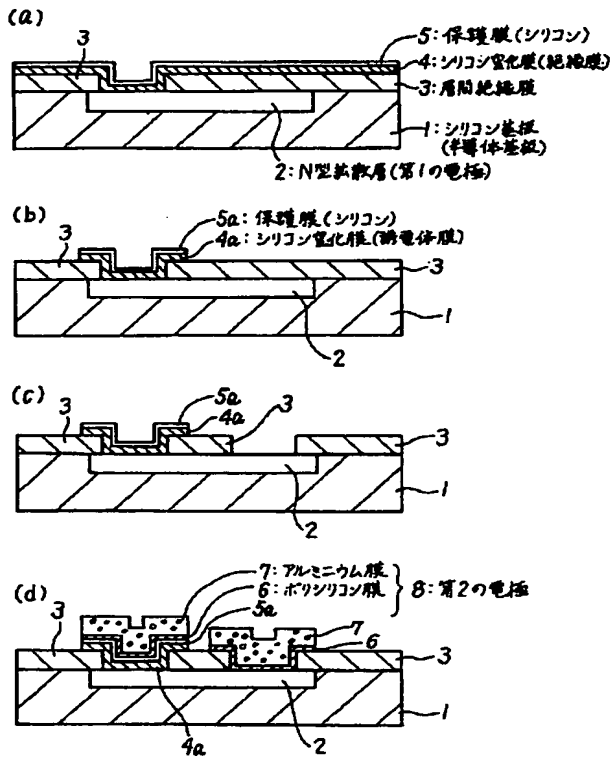
- 1 シリコン基板
- 2 N型拡散層(第1の電極)
- 3 層間絶縁膜
- 4 シリコン窒化膜(絶縁膜)
- 4a シリコン窒化膜(誘電体膜)
- 5, 5a 保護膜
- 6 ポリシリコン膜
- 7 アルミニウム膜
- 8 第2の電極
- 10 層間絶縁膜
- 11 ポリシリコン膜(第1の電極)
- 12 層間絶縁膜
- 13 シリコン窒化膜(絶縁膜)
- 13a シリコン窒化膜(誘電体膜)

7

- 14, 14a 保護膜
15 ポリシリコン膜

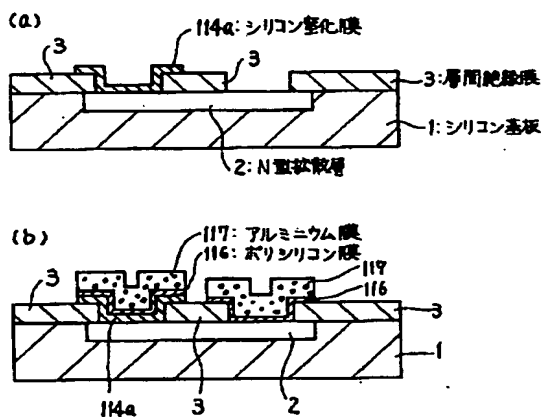
・【図1】

第1実施例によるMSNS容量製造工程断面図



・【図4】

従来例によるMSNS容量製造工程断面図(エ)

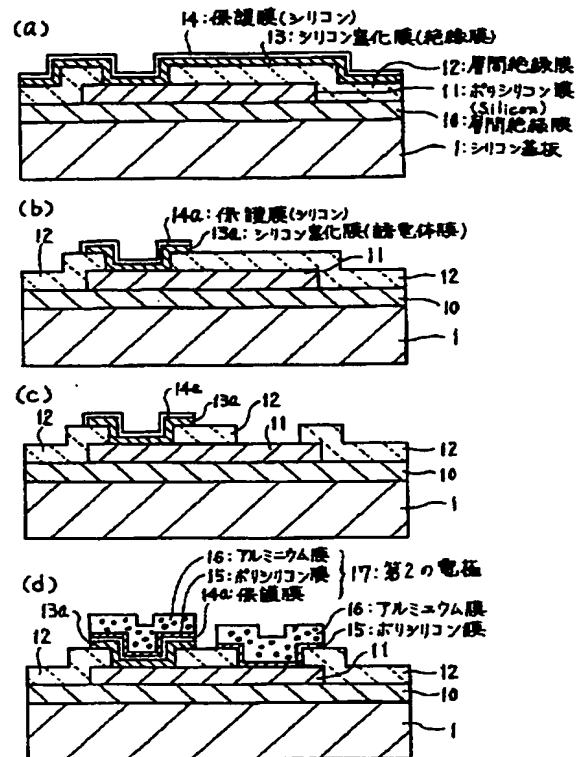


8

- * 16 アルミニウム膜
* 17 第2の電極

・【図2】

第2実施例によるMSNS容量製造工程断面図



・【図3】

従来例によるMSNS容量製造工程断面図(I)

